

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-027276

(43)Date of publication of application : 29.01.1999

(51)Int.CL

H04L 12/28

H04Q 3/00

(21)Application number : 09-175400

(71)Applicant : NEC CORP
NEC ENG LTD

(22)Date of filing : 01.07.1997

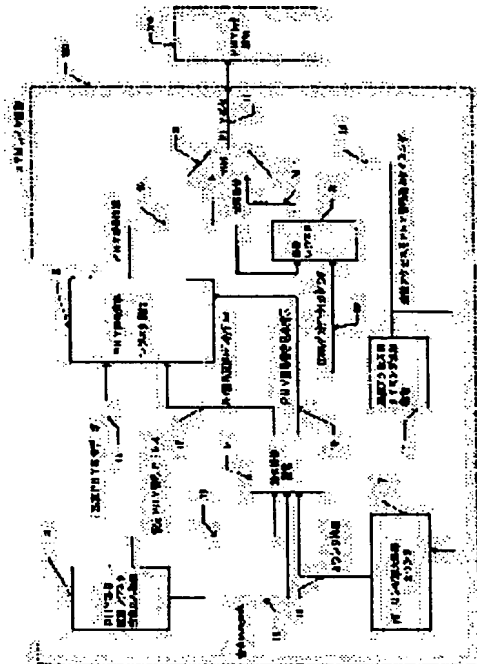
(72)Inventor : IWAI KAZUHIRO
KAWABATA HIROMI

(54) UTOPIA LEVEL 2 POLLING CONTROL SYSTEM

(57)Abstract:

PROBLEM TO BE SOLVED: To minimize lowering of performance between an ATM layer function and a PHY layer function by being provided with a PHY number conversion register function, a PHY number conversion register writing function and a confliction mediation function.

SOLUTION: A write request 18 is transmitted with set PHY number data 14 to be set in a PHY number conversion function 5 and a set PHY number address 15 by the PHY number conversion register writing function 4. The contents corresponding more to a PHY number conversion register address 17 are read from memory by the PHY number conversion register function 5. A PHY number write instruction 19 is activated only when the least significant bit of counter information 16 is '0' and the write instruction 18 is active by the conflict mediation function 6. The maximum PHY number capable of being treated by an ATM layer function 100×2 is counted by a polling maximum synchronization counter 7 and the PHY number is always counted up by a UTOPIA clock.



LEGAL STATUS

[Date of request for examination] 01.07.1997

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 2972659

[Date of registration] 27.08.1999

[Number of appeal against examiner's decision of rejection]

① 参考

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-27276

(43) 公開日 平成11年(1999)1月29日

(51) Int. Cl.⁶

識別記号

F I

H 0 4 L 12/28

H 0 4 L 11/20

E

H 0 4 Q 3/00

H 0 4 Q 3/00

審査請求 有 請求項の数 5 O L (全 11 頁)

(21) 出願番号 特願平9-175400

(22) 出願日 平成9年(1997)7月1日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(71) 出願人 000232047

日本電気エンジニアリング株式会社

東京都港区芝浦三丁目18番21号

(72) 発明者 岩井 一博

東京都港区芝五丁目7番1号 日本電気株式会社内

(72) 発明者 川畑 広実

東京都港区芝浦三丁目18番21号 日本電気エンジニアリング株式会社内

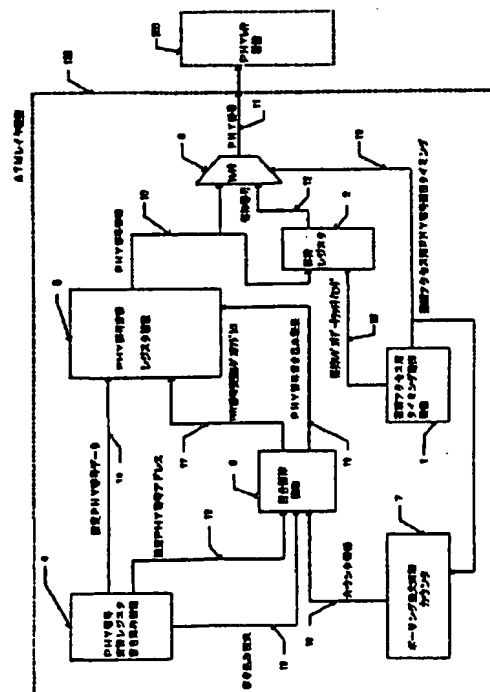
(74) 代理人 弁理士 岩佐 義幸

(54) 【発明の名称】 U T O P I A レベル2ボーリング制御方式

(57) 【要約】

【課題】 ATMレイヤ機能とPHYレイヤ機能を接続するU T O P I A 規定に基づいた範囲内でボーリング動作を損なうことなくPHY番号を任意に設定することによりパフォーマンスの低下の防止、ボーリング動作の最適化をはかる。

【解決手段】 PHY番号変換レジスタ書き込み機能4とPHY番号変換レジスタ機能5とボーリング最大周期カウンタ7をATMレイヤ機能100に有することにより、ボーリング中でもボーリング動作に影響を与えることなく、これらの機能によりPHY番号の送出順序や出現回数を任意に設定・制御可能にする。



1

【特許請求の範囲】

【請求項 1】 ATMレイヤ機能と PHYレイヤ機能が UTOPIA レベル 2 で接続されるシステムの UTOPIA レベル 2 ボーリング制御方式において、

前記 ATMレイヤ機能に PHY 番号を格納するための最大周期分 $\times n$ (n は正の整数) の容量を有する PHY 番号変換レジスタ機能と、 ボーリング最大周期 $\times n$ 周期カウンタを有し、

PHY 番号変換レジスタ書き込みにより前記 PHY 番号レジスタ機能の内容を変更して、送出する PHY 番号を自由に設定することを特徴とする UTOPIA レベル 2 ボーリング制御方式。

【請求項 2】 特定の PHY 機能に対してボーリング回数を変化させることにより優先順位を可変にすることを特徴とする請求項 1 記載の UTOPIA レベル 2 ボーリング制御方式。

【請求項 3】 ATMレイヤ機能と PHYレイヤ機能が UTOPIA レベル 2 で接続されるシステムの UTOPIA レベル 2 ボーリング制御方式において、

前記 ATMレイヤ機能は、PHY 番号情報を設定するための PHY 番号変換レジスタ書き込み機能と、

ボーリング PHY を選択するためのカウンタ情報を生成するボーリング最大周期カウンタと、

前記 PHY 番号変換レジスタ書き込み機能からの書き込み要求と前記ボーリング最大周期カウンタからのカウンタ情報からの要求の競合調停をはかる競合調停機能と、

PHY 番号情報として前記 PHY 番号変換レジスタ書き込み機能にて設定された設定 PHY 番号データを前記競合調停機能より生成された PHY 番号変換レジスタアドレスより出力する PHY 番号変換レジスタ機能と、を有することを特徴とする UTOPIA レベル 2 ボーリング制御方式。

【請求項 4】 前記ボーリング最大周期カウンタが複数周期分カウントできることを特徴とする請求項 3 記載の UTOPIA レベル 2 ボーリング制御方式。

【請求項 5】 前記 PHY 番号変換レジスタ機能が前記競合調停機能を統合した機能を有することを特徴とする請求項 3 記載の UTOPIA レベル 2 ボーリング制御方式。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、ATM (Asynchronous Transfer Mode) における ATMレイヤ機能と複数の PHYレイヤ機能を接続する方式に関し、特に UTOPIA レベル 2 のボーリング制御方式に関する。

【0002】

【従来の技術】 ATMレイヤ機能と複数の PHYレイヤ機能を接続する方式として、ATM フォーラムにてその

2

方式が規定されている。この ATM フォーラムの規定では、ATMレイヤから PHYレイヤに対して PHY 番号を通知することによりボーリングを実施し、セルデータの授受を実施する PHYレイヤ機能を複数の PHYレイヤ機能から選択するという規定のみで、PHYレイヤに対して PHY 番号を通知する順序に関しては規定がない。

【0003】 しかしながら、現在実現されている ATM レイヤ機能では、回路構成を単純化するために、PHY 番号を通知する順序が昇順または降順といった順序的な割り振りが行われており、かつ ATM 機能側で扱える最大 PHY 数に対して使用/未使用に関わらず無条件に PHY 番号を通知する方式、または未使用 PHY 機能に対しては PHY 番号を全て 1 にしてマスクする方式を採用している。図 9 は、従来技術の一実施例を示すブロック図である。

【0004】

【発明が解決しようとする課題】 上述した従来技術では、PHYレイヤ機能側でセルデータ授受に関する準備が整っているにも関わらず ATMレイヤ機能の順序的ボーリングによって最大ボーリング周期 - 2 クロックの間待たされることにより、パフォーマンスが低下するという問題がある。

【0005】 また、ATMレイヤ機能が順序的ボーリングを行っているために、ある特定の PHY 機能に対して優先的にボーリング回数を増加させるといった優先順位の変化をつけることができないという問題がある。

【0006】 本発明の目的は、ATMレイヤ機能と PHYレイヤ機能間のパフォーマンスの低下を最小限に抑えることのできる UTOPIA レベル 2 ボーリング制御方式を提供することにある。

【0007】 また本発明の他の目的は、ATMレイヤ機能のボーリング構成をダイナミックに変化させることにより使用形態にあったボーリングの最適化をはかることのできる UTOPIA レベル 2 ボーリング制御方式を提供することにある。

【0008】

【課題を解決するための手段】 本発明の UTOPIA レベル 2 ボーリング制御方式は、ATMレイヤ機能に PHY 番号を格納するための最大周期分 $\times n$ ($n = 1, 2, 3 \dots$) の容量を有する PHY 番号変換レジスタ機能と、ボーリング最大周期 $\times n$ 周期カウンタと、競合調停機能と、PHY 番号変換レジスタ書き込み機能を有する。

【0009】 本発明は、PHY 番号変換レジスタ書き込み機能により PHY 番号レジスタ機能の内容を変更するため、送出する PHY 番号を自由に設定することができる。

【0010】 また本発明は、PHY 機能に対してボーリング回数を変化させることにより優先順位を可変にすることができる。

3

【0011】さらに本発明は、競合調停機能により、ボーリング最大周期カウンタとPHY番号書き込み機能のPHY番号変換レジスタに対するアクセスの競合調停がはかられるため、動作中のPHY番号に影響を与えない。

【0012】

【発明の実施の形態】ATMフォーラムにて規定されているUTOPIAレベル2の技術概要について説明する。UTOPIAレベル2は、1つまたは複数のATMレイヤ機能が、1つまたは複数のPHYレイヤ機能に対してセルデータの授受を行う際の制御シーケンスについて規定されており、特に複数のPHYレイヤ機能に対する制御について規定している。

【0013】次に、UTOPIAレベル2の複数PHYレイヤ機能の動作概要について説明する。UTOPIA上の規定では、ATMレイヤ機能がセルデータの授受に関する制御権を有しており、実際はPHYレイヤに対してボーリング動作を実施することによりPHYレイヤ機能の状態を把握し、アクションを起こすことになっている。この時、UTOPIAレベル2では、1つまたは複数のPHYレイヤ機能を接続できることが前提となっているため、各PHYレイヤ機能を識別するために各PHYレイヤ機能に対してそれぞれユニークなPHY番号が設定されている。PHY番号all "1"は使用不可である。

【0014】ATMレイヤ機能は、PHY番号を全PHYレイヤ機能へ送出することにより、複数あるPHYレイヤ機能から1つのPHYレイヤ機能を選択する。この時選択されたPHYレイヤ機能は、PHYレイヤ機能→ATMレイヤ機能のセルデータ転送の場合は、PHYレイヤ機能側にATMレイヤ機能側へ転送すべきセルデータの転送準備が整っているかのステータス情報をATMレイヤ側へRCLAV信号として返送する。また、PHYレイヤ機能←ATMレイヤ機能のセルデータ転送の場合は、PHYレイヤ機能側に少なくとも1セル分のセルデータを受信する準備が整っているかを示すステータス情報をATMレイヤ側へTCLAV信号として返送する。ATMレイヤ側は、これらのCLAV情報に基づきセルデータの授受を開始する。

【0015】この時のPHYレイヤ機能側へのPHY番号の送出順序に関しては、UTOPIAレベル2では規定されていない。

【0016】UTOPIA上の転送クロックは、数十MHzと高速のため、UTOPIAレベル2の規定では、ATMレイヤ側からのPHY番号送出に対してその1クロック後にCLAVを返送することになっており、伝送路上の信号の安定化のため、PHY番号の送出後の1クロックは、all "1"のPHY番号を送出する規定となっている。

【0017】次に、本発明の第1の実施の形態について

4

図面を参照して説明する。なお、本説明および図面では、本発明の特徴となる部分のみを記述しており、UTOPIA上で規定されている他の信号は省略している。

【0018】図1は、本発明のUTOPIAレベル2ボーリング制御方式の第1の実施の形態を示すブロック図であり、図2は、本実施の形態におけるPHY番号変換レジスタ機能を示すブロック図であり、図3は、本実施の形態における競合調停機能を示すブロック図である。

【0019】本発明の第1の実施の形態を図1～図3を参照して説明する。本実施の形態では、1つのATMレイヤ機能100と複数のPHYレイヤ機能200が接続されている場合について説明する。

【0020】ATMレイヤ機能100は、連続アクセス用タイミング送出機能1と、保持レジスタ2と、セクタ3と、PHY番号変換レジスタ書き込み機能4と、PHY番号変換レジスタ機能5と、競合調停機能6と、ボーリング最大周期カウンタ7とにより構成されている。

【0021】ATMレイヤ機能100から出力されたPHY番号11は、PHYレイヤ機能200に送出される。連続アクセス用タイミング送出機能1から送出された保持レジスタデータラッチタイミング20は、保持レジスタ2に入力され、連続アクセス用PHY番号送出タイミング13は、セクタ13およびボーリング最大周期カウンタ7に入力される。

【0022】保持レジスタ2より送出された保持番号12は、セクタ3に入力される。セクタ8より出力されたPHY番号11は、PHYレイヤ機能200に入力される。PHY番号変換レジスタ書き込み機能4から送出された設定PHY番号データ14は、PHY番号変換レジスタ機能5に入力され、設定PHY番号アドレス15および書き込み要求18は、競合調停機能6に入力される。

【0023】PHY番号変換レジスタ機能5より送出されたPHY番号情報10は、保持レジスタ2とセクタ3に入力される。競合調停機能6より送出されたPHY番号変換レジスタアドレス17およびPHY番号書き込み指示19は、PHY番号変換レジスタ機能5に入力される。ボーリング最大周期カウンタ7より送出されたカウンタ情報16は、競合調停機能6に入力される。

【0024】次に、PHY番号変換レジスタ機能5の実施構成例について説明する。メモリ51には、設定PHY番号データ14と、PHY番号変換レジスタアドレス17と、PHY番号書き込み指示19が接続され、OR52には、メモリ出力データとPHY番号書き込み指示19とが入力され、OR52からはPHY番号情報10が送出される。

【0025】次に、競合調停機能6の実施構成例について説明する。NOT63には、カウンタ情報16の最下位ビットが入力され、AND62には、書き込み要求18とNOT63の出力が入力され、AND62より送出

5

されたPHY番号書き込み指示19は、セクタ61に入力されるとともに競合調停機能6より送出され、セクタ61には、設定PHY番号アドレス15の最下位ビットに固定データ“1”を加えて1ビット拡張したものとカウンタ情報18とが入力され、セクタ61よりPHY番号変換レジスタアドレス17が送出される。

【0026】次に、図1～図4を参照して本実施の形態の動作を説明する。

【0027】連続アクセス用タイミング送出機能1は、セルデータの転送終了時に再度セレクトしたPHY番号のPHY機能に連続してアクセスできるよう例としてセルデータ長をカウントする機能を持つような機能で、ATMレイヤ機能100がセレクトしたPHY番号を保持レジスタ2にて記憶させるための保持レジスタデータラッチタイミング20を生成する機能と、セルデータの終了時に連続アクセス可能か再度セレクトしたPHY番号と同じPHY番号を送出するための連続アクセス用PHY番号送出タイミング13を生成する。

【0028】保持レジスタ2は、ATMレイヤ機能100がセレクトしたPHY番号を保持するためのレジスタであり、保持レジスタデータラッチタイミング20によりPHY番号情報10を保持する。

【0029】セクタ3は、連続アクセス用PHY番号送出タイミング13により連続アクセス用PHY番号送出タイミング13がアクティブなときは、保持番号12をセレクトし、インアクティブのときは、PHY番号情報10をセレクトし、PHY番号11として送出する。

【0030】PHY番号変換レジスタ書き込み機能4は、PHY番号変換レジスタ機能5に設定する設定PHY番号データ14と設定PHY番号アドレス15とともに書き込み要求18を送出する機能を有するものであり、例として、中央制御装置（CPU）等が考えられる。この時、送出される設定PHY番号アドレス15は、PHY番号変換レジスタ機能5が有する容量のアドレス幅より1ビット少ない情報であり、設定PHY番号データ14は、PHY番号を示すデータである。

【0031】PHY番号変換レジスタ機能5は、PHY番号変換レジスタアドレス17により対応する内容をメモリ51より読み出す。この時、PHY番号書き込み指示19がアクティブであれば、対応するメモリ51のアドレスに設定PHY番号データ14の内容を書き込み、OR52にてメモリ51がPHY番号変換レジスタアドレスに対応して出力したデータをall“1”に変換する。

【0032】競合調停機能6は、カウンタ情報16の最下位ビットをNOT63にて反転し、AND62にて書き込み要求18とAND条件をとることにより、カウンタ情報16の最下位ビットが“0”で、かつ書き込み要求18がアクティブのときのみPHY番号書き込み指示19をアクティブにする。PHY番号書き込み指示19

6

がアクティブのとき、セクタ61は、設定PHY番号アドレス15+1ビットを選択し、インアクティブのとき、カウンタ情報16を選択し、PHY番号変換レジスタアドレス17として送出する。

【0033】ポーリング最大周期カウンタ7は、ATMレイヤ機能100が扱える最大PHY数×2をカウントすることのできるカウンタで、UTOPIAクロックにて常にカウントアップされる。ただし、連続アクセス用PHY番号送出タイミング13がアクティブとなっている期間は、そのカウントアップ動作を中断する。

【0034】次に、全体の動作を説明する。初期時のPHY番号変換レジスタ5のメモリ51内容は、all“1”とする。

【0035】PHY番号変換レジスタ書き込み機能4は、初期情報を順次設定する。初期状態設定完了後は、ポーリング最大周期カウンタ7からのカウンタ情報16を競合調停機能6にて調停されたPHY番号変換レジスタアドレス17にてPHY番号変換レジスタ機能5をアクセスし、PHY番号情報10を得る。セルデータの転送が無い状態では、セクタ3は、連続アクセス用タイミング送出機能1からの指示によりPHY番号情報10を選択し、PHY番号11としてPHYレイヤ機能20へ送出するポーリング動作を行う。この時、PHYレイヤ機能の一部切り離しや、優先順位の変化があった場合は、PHY番号変換レジスタ書き込み機能4より設定PHY番号アドレス15、設定PHY番号データ14とともに書き込み要求18が送出される。

【0036】競合調停機能8は、書き込み要求18がアクティブになったことを検出すると、カウンタ情報16の最下位ビットが“1”のときにセクタ61の選択を切り替えるとともに、PHY番号書き込み指示19をPHY番号変換レジスタ機能5へ送出する。PHY番号変換レジスタ機能5は、PHY番号変換レジスタアドレス17に基づいたアドレスよりPHY番号情報データをメモリ51より得、PHY番号情報10として送出しているが、PHY番号書き込み指示19がアクティブであることを検出すると、PHY番号変換レジスタアドレス17に基づいたアドレスでメモリ51に設定PHY番号データ14を書き込む。この時、PHY番号情報10は、all“1”が送出される。

【0037】図4は、メモリ51の設定例を示す図であり、PHY番号を自由に設定することによりポーリング動作を制御できることがわかる。

【0038】以上説明してきたように、本実施の形態によれば、ポーリング動作を損なうことなく、PHYレイヤ機能に対するポーリング順序等を自由に設定できる。

【0039】次に、本発明の第2の実施の形態について図面を参照して説明する。

【0040】図5は、本発明の第2の実施の形態を示すブロック図である。構成としては、図1の構成におい

7

て、ポーリング最大周期カウンタ 7 が、ポーリング最大周期×nカウンタ 8 に変わったのみで、他の構成および動作はほぼ同じである。

【0041】ポーリング用カウンタが最大周期×nとなることで、n周期にわたる期間でPHY番号の制御が可能となるため、あるPHY番号を有するPHYレイヤ機能のポーリング周期を2周期に1回といったような優先順位付けが容易に可能になる。図6は、本発明の第2の実施の形態のPHY番号変換レジスタの書き込み内容例を示す図である。

【0042】次に、本発明の第3の実施の形態について図面を参照して説明する。

【0043】図7は、本発明の第3の実施の形態を示すブロック図であり、図8は、本実施の形態におけるPHY番号変換レジスタ機能を示すブロック図である。構成としては、図1における競合調停機能6の機能とPHY番号変換レジスタ機能5を統合した機能を有するPHY番号変換レジスタ機能9に変わり、競合調停機能6が無くなっている点異なるのみで、動作としてはほぼ同じである。

【0044】PHY番号変換レジスタ機能9の例として図8で示すようなデュアルポートメモリ81があげられる。

【0045】PHY番号変換レジスタ書き込み機能4側を1つのポートに接続し、他のポートにはポーリング最大周期カウンタ7からのカウンタ情報16を接続することにより実現する。カウンタ情報16接続側は読み出し専用とし、書き込み動作は行わない。PHY番号変換レジスタ書き込み機能4側は必要なら読み出しを行うことにより、設定内容を確認することも可能となる。

【0046】

【発明の効果】以上説明したように本発明は、PHY番号変換レジスタ機能、PHY番号変換レジスタ書き込み機能、競合調停機能を有しているので、不要なPHY番号を送出しないで済むという効果を有する。このため、ポーリングの周期を最大周期より短くすることができる。

【0047】また本発明は、PHY番号変換レジスタ機能とポーリング最大周期×n (n=1, 2, 3...) 周期カウンタを有しているので、複数周期にわたる期間でポーリングするPHY番号の出現回数を制御できるという効果を有する。このため、使用者が特定のPHY機能に対してポーリングレベルでのトラフィック制御ができる。

【0048】さらに本発明は、競合調停機能を有しているので、ATMレイヤ機能によるポーリング動作実行中にもPHY番号変換レジスタの内容を書き換えられ

8

る。このため、使用者が運用状態に合わせてダイナミックな制御ができる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態を示すブロック図である。

【図2】第1の実施の形態におけるPHY番号変換レジスタ機能を示すブロック図である。

【図3】第1の実施の形態における競合調停機能を示すブロック図である。

10 【図4】第1の実施の形態のPHY番号変換レジスタの書き込み内容例を示す図である。

【図5】本発明の第2の実施の形態を示すブロック図である。

【図6】第2の実施の形態のPHY番号変換レジスタの書き込み内容例を示す図である。

【図7】本発明の第3の実施の形態を示すブロック図である。

【図8】第3の実施の形態におけるPHY番号変換レジスタ機能を示すブロック図である。

20 【図9】従来技術の一実施例を示すブロック図である。

【符号の説明】

1 連続アクセス用タイミング送出機能

2 保持レジスタ

3 セレクタ

4 PHY番号変換レジスタ書き込み機能

5 PHY番号変換レジスタ機能

6 競合調停機能

7 ポーリング最大周期カウンタ

8 ポーリング最大周期×nカウンタ

30 10 PHY番号情報

11 PHY番号

12 保持番号

13 連続アクセス用PHY番号送出タイミング

14 設定PHY番号データ

15 設定PHY番号アドレス

16 カウンタ情報

17 PHY番号変換レジスタアドレス

18 書き込み要求

19 PHY番号書き込み指示

40 20 保持レジスタデータラッチタイミング

51 メモリ

52 OR

61 セレクタ

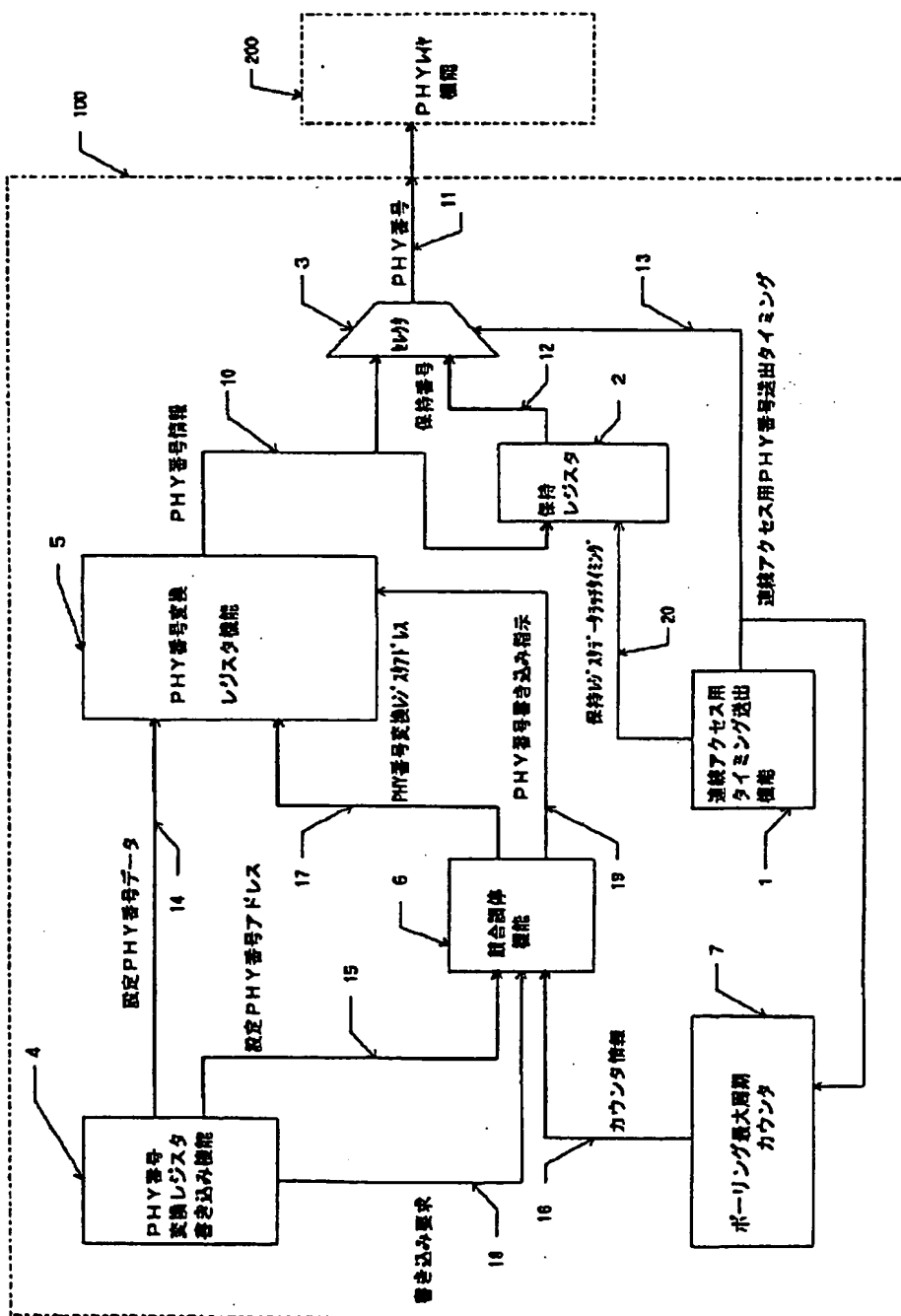
62 AND

63 NOT

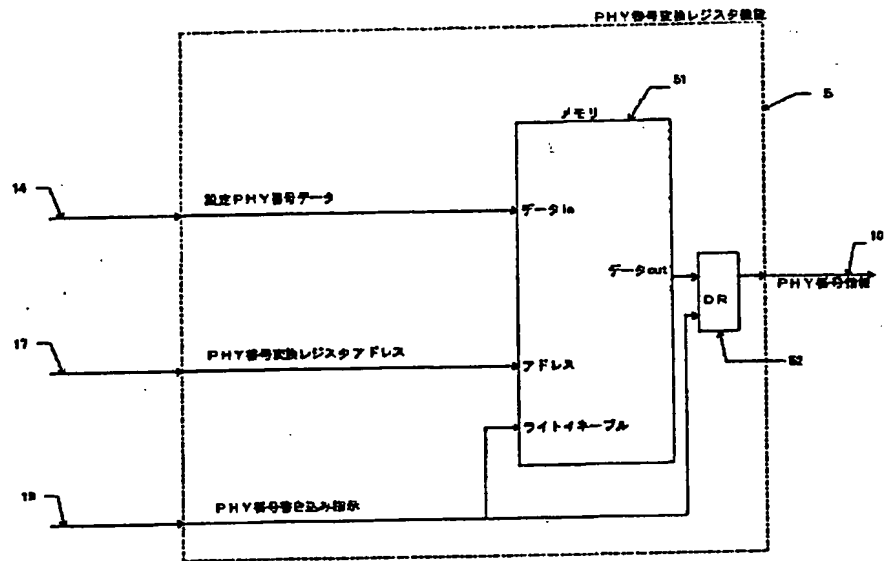
100, 104 ATMレイヤ機能

200 PHYレイヤ機能

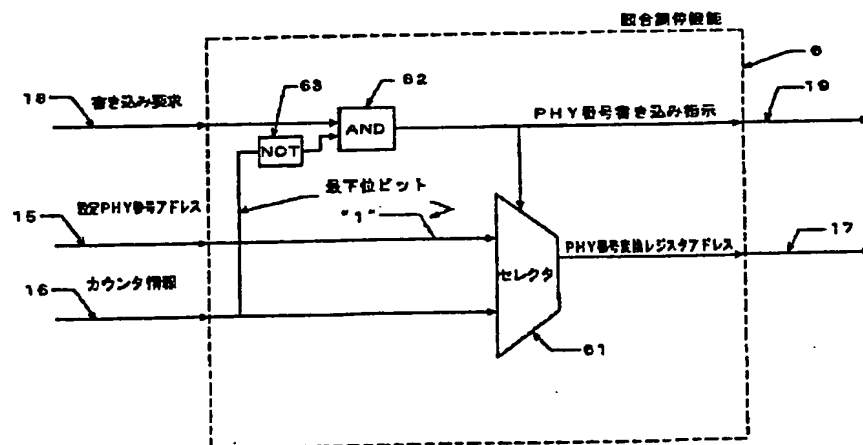
ATMLイヤ機能



【図2】



【図3】



【図4】

アドレス

m-1	PHYm
m-2	All
m-3	PHYD
m-4	All
m-5	PHYk
m-6	All
m-7	PHYD
m-8	All
...	
17	PHYB
16	All
15	PHYB
14	All
13	PHYD
12	All
11	PHYB
10	All
9	PHYB
8	All
7	PHYB
6	All
5	PHY4
4	All
3	PHY3
2	All
1	PHYD
0	All

最大局番 m

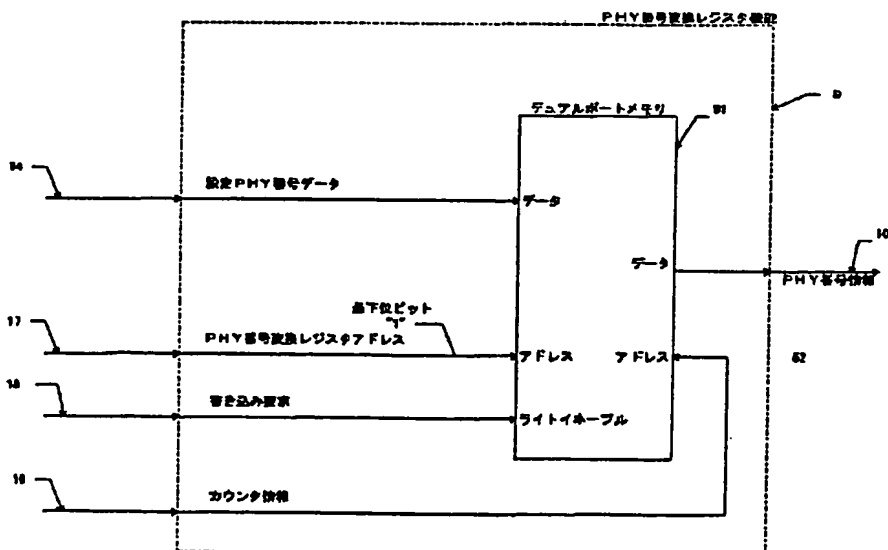
【図6】

アドレス

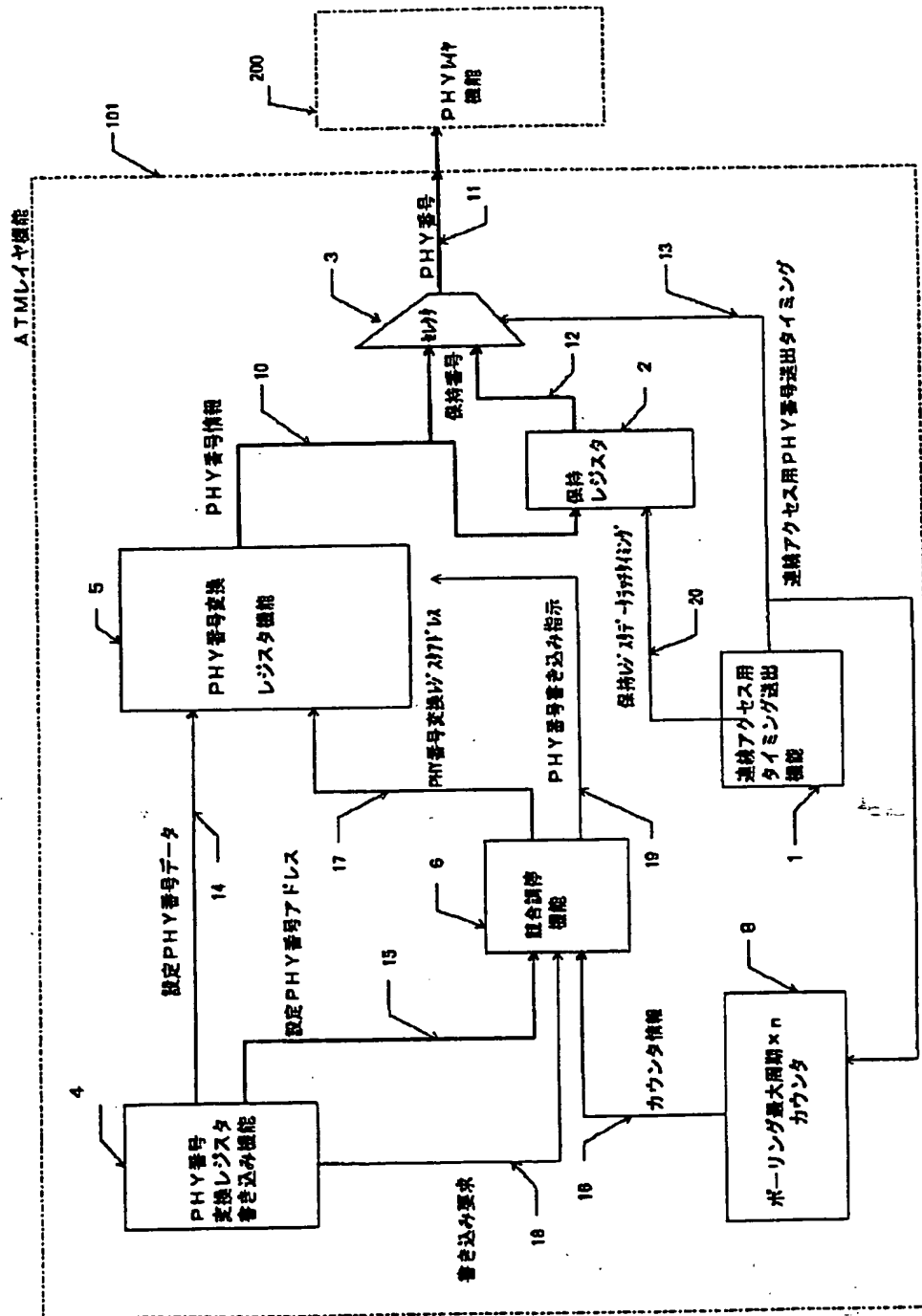
3m-1	PHYm
3m-2	All
3m-3	PHYk
...	
2m+4	All
2m+3	PHYj
2m+2	All
2m+1	PHYD
2m	All
...	
m+11	PHYB
m+10	All
m+9	PHYB
m+8	All
m+7	PHY4
m+6	All
m+5	PHYD
m+4	All
m+3	PHY1
m+2	All
m+1	PHYD
m	All
...	
0	PHY4
1	All
2	PHYD
3	PHY1
4	All
5	PHY2
6	All
7	PHYD
8	All
9	PHY4
10	All

最大局番 m

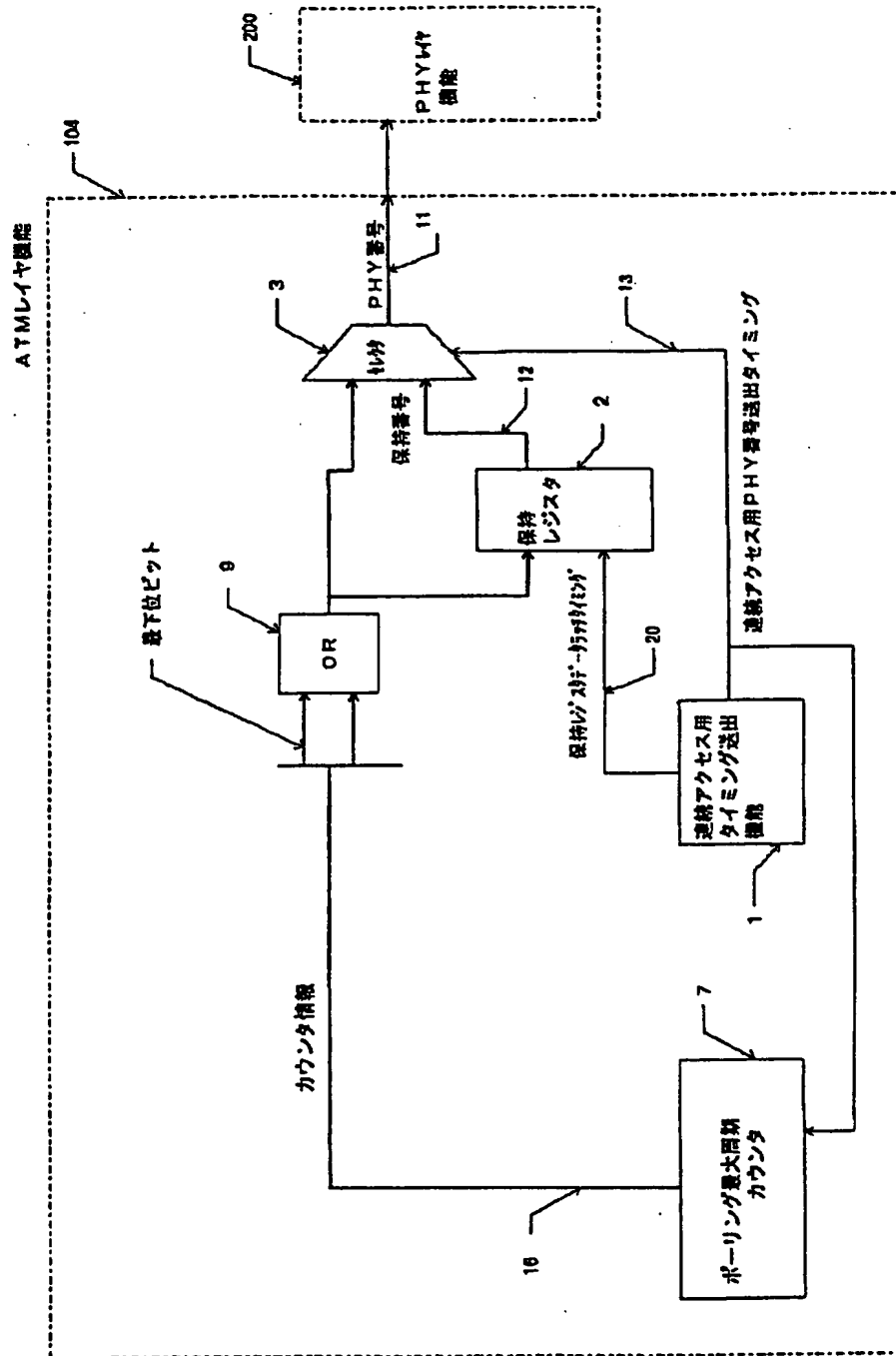
【図8】



- 9 -



【図9】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☒ **FADED TEXT OR DRAWING**
- ☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.